

日 本 国 特 許 庁
JAPAN PATENT OFFICE

1033 U.S. PTO
09/886372
06/22/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 5月10日

出 願 番 号

Application Number:

特願2001-139545

出 願 人

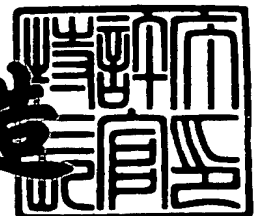
Applicant(s):

アライドテレシス株式会社

2001年 5月31日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3051120

出証特 2 0 0 1 - 3 0 5 1 1 2 0

【書類名】 明細書

【発明の名称】 テーブル管理方法及び装置

【特許請求の範囲】

【請求項 1】 所定ビット数の入力データをそれより少ないビット数の縮退データに変換し、その縮退データをテーブルアクセスのためのアドレスとして使用するテーブル管理装置において、

前記所定ビット数と同じビット数の登録データを所定数だけそれぞれ格納可能であり、前記縮退データにより同時にアクセスされる複数個のテーブルと、

前記複数個のテーブルから前記縮退データに従ってそれぞれ読み出された登録データと前記入力データとを比較する複数の比較手段と、

前記複数の比較手段の比較結果に基づいて、前記入力データが前記複数個のテーブルに登録されているか否かを判定する判定手段と、

を有することを特徴とするテーブル管理装置。

【請求項 2】 さらに、

前記入力データが前記複数個のテーブルに登録されていない場合、前記縮退データにより同時にアクセスされた複数個のテーブルの記憶スペースに空きスペースがあれば、前記入力データを新規データとして登録する制御手段を有することを特徴とする請求項 1 記載のテーブル管理装置。

【請求項 3】 前記複数の比較手段の各々は、対応する登録データと前記入力データとを比較して一致及び不一致のいずれかを出力し、

前記判定手段は、前記複数の比較手段の比較結果のうち少なくとも 1 つが一致を示すときには前記入力データが前記複数のテーブルのいずれかに登録されていると判定し、それ以外は登録されていないと判定する、

ことを特徴とする請求項 1 または 2 記載のテーブル管理装置。

【請求項 4】 複数のバンクに分割されたアドレステーブルを管理する方法において、

入力アドレスデータをハッシュ処理によりそれより少ないビット数のアドレスに変換し、

前記アドレスによって前記複数のバンクを同時にアクセスし、

前記複数のバンクから前記アドレスに従ってそれぞれ読み出された登録アドレスと前記入力アドレスデータとを比較し、

比較結果に基づいて、前記入力アドレスデータが前記アドレステーブルに登録されているか否かを判定する、

ことを特徴とするアドレステーブル管理方法。

【請求項 5】 さらに、

前記入力アドレスデータが前記アドレステーブルに登録されていない場合、前記アドレスにより同時にアクセスされた前記複数のバンクの記憶スペースに空きスペースがあるか否かを判定し、

前記空きスペースがあれば、当該空きスペースに前記入力アドレスデータを新規アドレスとして登録し、

前記空きスペースがなければ、前記ハッシュ処理を変更する、

ことを特徴とする請求項 4 記載のアドレステーブル管理方法。

【請求項 6】 前記ハッシュ処理は、CRC 3 2 計算により得られる 3 2 ビットデータのうち、予め定められた位置の所望ビット数のデータを選択することにより実行されることを特徴とする請求項 5 記載のアドレステーブル管理方法。

【請求項 7】 前記ハッシュ処理は、CRC 3 2 計算により得られる 3 2 ビットデータのうち、前記予め定められた位置とは別の位置にある前記所望ビット数のデータを選択することにより変更されることを特徴とする請求項 6 記載のアドレステーブル管理方法。

【請求項 8】 入力 MAC（メディアアクセスコントロール）アドレスをハッシュ関数により変換し、そのハッシュ出力を MAC アドレステーブルをアクセスするためのアドレスとして使用するテーブル管理装置において、

前記 MAC アドレステーブルは複数のバンクに分割され、当該複数のバンクが前記ハッシュ出力をアドレスとして同時にアクセスされ、

前記複数のバンクから前記ハッシュ出力に従ってそれぞれ読み出された登録 MAC アドレスと前記入力 MAC アドレスとを比較する複数の比較手段と、

前記複数の比較手段の比較結果に基づいて、前記入力 MAC アドレスが前記 MAC アドレステーブルに登録されているか否かを判定する判定手段と、

を有することを特徴とするテーブル管理装置。

【請求項 9】 前記複数の比較手段の各々は、対応する登録 MAC アドレスと前記入力 MAC アドレスとを比較して一致及び不一致のいずれかを出力し、

前記判定手段は、前記複数の比較手段の比較結果のうち少なくとも 1 つが一致を示すときには前記入力 MAC アドレスが前記 MAC アドレステーブルに登録されていると判定し、それ以外は登録されていないと判定する、

ことを特徴とする請求項 8 記載のテーブル管理装置。

【請求項 10】 複数のテーブルを管理する方法において、

入力データをそれより少ないビット数の縮退データに変換し、

前記縮退データをアドレスとして前記複数のテーブルを同時にアクセスし、

前記複数のテーブルから前記縮退データに従ってそれぞれ読み出された登録データと前記入力データとを比較し、

比較結果に基づいて、前記入力データが前記複数のテーブルに登録されているか否かを判定する、

ことを特徴とするテーブル管理方法。

【請求項 11】 さらに、

前記入力データが前記複数のテーブルに登録されていない場合、前記縮退データにより同時にアクセスされた複数のテーブルの記憶スペースに空きスペースがあるか否かを判定し、

空きスペースがあれば、前記入力データを新規データとして登録する、

ことを特徴とする請求項 10 記載のテーブル管理方法。

【請求項 12】 複数のテーブルを管理するプログラムにおいて、

入力データをそれより少ないビット数の縮退データに変換するステップと、

前記縮退データをアドレスとして前記複数のテーブルを同時にアクセスするステップと、

前記複数のテーブルから前記縮退データに従ってそれぞれ読み出された登録データと前記入力データとを比較するステップと、

比較結果に基づいて、前記入力データが前記複数のテーブルに登録されているか否かを判定するステップと、

をコンピュータに実行させることを特徴とするテーブル管理プログラム。

【請求項 1 3】 さらに、

前記入力データが前記複数のテーブルに登録されていない場合、前記縮退データにより同時にアクセスされた複数のテーブルの記憶スペースに空きスペースがあるか否かを判定するステップと、

空きスペースがあれば、前記入力データを新規データとして登録するステップと、

をコンピュータに実行させることを特徴とする請求項 1 2 記載のテーブル管理プログラム。

【請求項 1 4】 複数のテーブルを管理するプログラムを記録した記録媒体において、

入力データをそれより少ないビット数の縮退データに変換するステップと、

前記縮退データをアドレスとして前記複数のテーブルを同時にアクセスするステップと、

前記複数のテーブルから前記縮退データに従ってそれぞれ読み出された登録データと前記入力データとを比較するステップと、

比較結果に基づいて、前記入力データが前記複数のテーブルに登録されているか否かを判定するステップと、

をコンピュータに実行させるためのプログラムを記録した記録媒体。

【請求項 1 5】 さらに、

前記入力データが前記複数のテーブルに登録されていない場合、前記縮退データにより同時にアクセスされた複数のテーブルの記憶スペースに空きスペースがあるか否かを判定するステップと、

空きスペースがあれば、前記入力データを新規データとして登録するステップと、

をコンピュータに実行させるためのプログラムを記録した請求項 1 4 記載の記録媒体。

【請求項 1 6】 複数のテーブルとプロセッサとからなるコンピュータシステムにおいて、

前記プロセッサに実行させるプログラムが、

入力データをそれより少ないビット数の縮退データに変換するステップと、

前記縮退データによって前記複数のテーブルを同時にアクセスするステップと

、
前記複数のテーブルから前記縮退データに従ってそれぞれ読み出された登録データと前記入力データとを比較するステップと、

比較結果に基づいて、前記入力データが前記複数のテーブルに登録されているか否かを判定するステップと、

を有することを特徴とするコンピュータシステム。

【請求項 1 7】 前記プログラムは、さらに、

前記入力データが前記複数のテーブルに登録されていない場合、前記縮退データにより同時にアクセスされた複数のテーブルの記憶スペースに空きスペースがあるか否かを判定するステップと、

空きスペースがあれば、前記入力データを新規データとして登録するステップと、

を有することを特徴とする請求項 1 6 記載のコンピュータシステム。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明はテーブルの管理技術に係り、特に入力データより少ないビット数に縮退させたデータを用いてアクセスを行うテーブル管理方法及び管理装置に関する。

【0 0 0 2】

【従来の技術】

テーブル検索にハッシュ（H a s h）法を用いることはよく知られている。たとえば、標準的な L A N（Local-Area Network）ではすべてのネットワークデバイスにユニークな M A C（Media Access Control）アドレスが割り付けられているが、4 8 ビットの M A C アドレスをハッシュ法を用いて検索する方法が知られている。

【 0 0 0 3 】

図 4 は、従来の MAC アドレステーブル管理方法を示すブロック図である。48 ビットの MAC アドレスはハッシュ関数 1 0 によって 1 0 ビットデータに変換され、それをエントリテーブル 1 1 のアドレスデータとして用いる。

【 0 0 0 4 】

エントリテーブル 1 1 は、ここでは 1 0 2 4 個のエントリからなり、1 つのエントリは、1 つの MAC アドレス (4 8 ビット)、当該 MAC アドレスが属するスイッチのポート番号 (4 ビット)、当該 MAC アドレスへのアクセス履歴を示すアクセスビット (1 ビット)、および登録の有効／無効を示すバリッドビット (1 ビット) からなる。ただし、ポート番号のビット数はスイッチのポート数に依存する。ここでは最大 1 6 ポートを想定して 4 ビットとしている。

【 0 0 0 5 】

したがって、ハッシュ関数 1 0 によって得られた 1 0 ビットのアドレスに従ってエントリテーブル 1 1 から 1 つのエントリが決定され、その登録 MAC アドレスが比較器 1 2 へ読み出される。比較器 1 2 は、登録 MAC アドレスと入力した MAC アドレスとを比較して、一致／不一致を判定する。

【 0 0 0 6 】

しかしながら、周知のように、ハッシュ関数によって 4 8 ビットデータが 1 0 ビットデータに縮退しているために、異なる入力 MAC アドレスがエントリテーブル 1 1 の同一アドレスにマッピングされる場合が発生する。この衝突の発生頻度はハッシュ関数の選択に依存するから、衝突が生じた場合には、互いに別の値が生成されるようにハッシュ関数を変更する再ハッシュが行われる。

【 0 0 0 7 】

【発明が解決しようとする課題】

しかしながら、再ハッシュが生じた場合には、それまで記憶していたエントリテーブル 1 1 の内容を全て無効にする必要があり、MAC アドレス学習のパフォーマンスの点で大きな損失である。したがって、いかにして再ハッシュの発生を抑えるかがハッシュメカニズムを考える上で重要な課題である。

【 0 0 0 8 】

また、ハードウェア量を抑えて効率的なハッシュ検索を可能にすることも重要な課題である。

【 0 0 0 9 】

【課題を解決するための手段】

本発明によるテーブル管理装置は、所定ビット数の入力データをそれより少ないビット数の縮退データに変換し、その縮退データをテーブルアクセスのためのアドレスとして使用するものであり、前記所定ビット数と同じビット数の登録データを所定数だけそれぞれ格納可能であり、前記縮退データにより同時にアクセスされる複数個のテーブルと、前記複数個のテーブルから前記縮退データに従ってそれぞれ読み出された登録データと前記入力データとを比較する複数の比較手段と、前記複数の比較手段の比較結果に基づいて、前記入力データが前記複数個のテーブルに登録されているか否かを判定する判定手段と、を有することを特徴とする。

【 0 0 1 0 】

このように、複数のテーブルが縮退データにより同時にアクセスされ、それぞれ読み出された登録データが入力データと比較されることで登録済みか否かが判定される。複数の登録データが同時にアクセスされて読み出されるために、極めて効率的なサーチを行うことができる。

【 0 0 1 1 】

さらに、本発明によれば、前記入力データが前記複数個のテーブルに登録されていない場合、前記縮退データにより同時にアクセスされた複数個のテーブルの記憶スペースに空きスペースがあれば、前記入力データを新規データとして登録する制御手段を有することを特徴とする。

【 0 0 1 2 】

このように新規データを登録することで、縮退データにより同時にアクセスされた複数個のテーブルの記憶スペースに複数個の異なる登録データを格納することができる。言い換えれば、1つの縮退データに複数の異なる登録データを対応づけることが可能となり、空きスペースがある限り再ハッシュが発生しない。

【 0 0 1 3 】

本発明による複数のテーブルを管理する方法は、入力データをそれより少ないビット数の縮退データに変換し、前記縮退データをアドレスとして前記複数のテーブルを同時にアクセスし、前記複数のテーブルから前記縮退データに従ってそれぞれ読み出された登録データと前記入力データとを比較し、比較結果に基づいて、前記入力データが前記複数のテーブルに登録されているか否かを判定する、ことを特徴とする。

【 0 0 1 4 】

本発明の別の観点によれば、複数のバンクに分割されたアドレステーブルを管理する方法は、入力アドレスデータをハッシュ処理によりそれより少ないビット数のアドレスに変換し、前記アドレスによって前記複数のバンクを同時にアクセスし、前記複数のバンクから前記アドレスに従ってそれぞれ読み出された登録アドレスと前記入力アドレスデータとを比較し、比較結果に基づいて、前記入力アドレスデータが前記アドレステーブルに登録されているか否かを判定する、ことを特徴とする。

【 0 0 1 5 】

さらに、前記入力アドレスデータが前記アドレステーブルに登録されていない場合、前記アドレスにより同時にアクセスされた前記複数のバンクの記憶スペースに空きスペースがあるか否かを判定し、前記空きスペースがあれば、当該空きスペースに前記入力アドレスデータを新規アドレスとして登録し、前記空きスペースがなければ、前記ハッシュ処理を変更する、ことを特徴とする。

【 0 0 1 6 】

ハッシュ処理が変更されるのは、前記アドレスにより同時にアクセスされた前記複数のバンクの記憶スペースに空きスペースがなくなった場合に限られる。したがって、再ハッシュの発生確率は従来に比べて大幅に低減する。

【 0 0 1 7 】

【発明の実施の形態】

図 1 は本発明によるアドレステーブル管理装置の一実施形態を示すブロック図である。本実施形態におけるエントリテーブル 1 0 2 は 4 つのバンク B 1 ～ B 4 に分割され、各バンクに最大 2 5 6 エントリを格納できる。従って、エントリテ

ーブル 1 0 2 は合計 $256 \times 4 = 1024$ エントリを格納可能である。各エントリは、従来と同様に、登録 MAC アドレス、ポート番号、アクセスビット、およびバリッドビットからなる（図 3 参照）。

【 0 0 1 8 】

ハッシュ関数 1 0 1 は、48 ビット MAC アドレスに対して CRC 32 の計算を行い、それにより得られる 32 ビット出力のうち所定位置の 8 ビットを選択してエントリテーブル 1 0 2 へ出力する。エントリテーブル 1 0 2 のバンク B 1 ～ B 4 は、ハッシュ関数 1 0 1 の 8 ビット出力をアドレスビットとして同時に入力する。したがって、1 つのハッシュ出力（アドレスビット）によって、アドレス指定されたバンク B 1 ～ B 4 の記憶領域を同時にアクセスすることができる。

【 0 0 1 9 】

バンク B 1 ～ B 4 のアクセスされた記憶領域にそれぞれエントリが存在すれば、それらの登録 MAC アドレスを同時に読み出す。なお、アドレスビット数を 8 としたのは、各バンクの最大エントリ数が 256 であることによる。たとえば、1024 エントリのテーブルを 8 等分して、各バンクの最大エントリ数を 128 にした場合には、ハッシュ関数 1 0 1 の出力を 7 ビットにすればよい。

【 0 0 2 0 】

比較器 C 1 ～ C 4 は、読み出された 4 個の登録 MAC アドレスと入力 MAC アドレスとを比較し、それぞれの比較結果（一致／不一致）を OR 回路 1 0 3 へ出力する。OR 回路 1 0 3 は、4 つの比較結果のうち少なくとも 1 つの比較結果が一致を検出していれば、一致検出をプロセッサ 1 0 4 へ通知する。

【 0 0 2 1 】

プロセッサ 1 0 4 は CPU 等のプログラム制御プロセッサあるいは専用ハードウェア回路であり、エントリテーブル 1 0 2 を管理する。プロセッサ 1 0 4 は、OR 回路 1 0 3 からの検出結果（一致／不一致）をモニタしながら、次に述べるようなバンク B 1 ～ B 4 に対する登録／学習処理及び検索処理を実行する。

【 0 0 2 2 】

（登録／学習処理）

エントリテーブル 1 0 2 の各バンクには、いくつかの MAC アドレスがすでに

登録されているものとする。この状態で新規のMACアドレスがバンクB1～B4にどのように登録されるかを図2及び図3を参照しながら説明する。

【0023】

図2は、本実施形態におけるMACアドレステーブルの登録／学習動作を説明するためのフローチャートである。

【0024】

図2において、あるパケットのソースMACアドレスを入力し（ステップS201）、上述したハッシュ関数101により8ビットアドレスを計算する（ステップS202）。その8ビットアドレスにより指定されたバンクB1～B4の記憶領域を同時にアクセスし、MACアドレスが有効に登録されていれば、それを読み出す（ステップS203）。そして、比較器C1～C4により、読み出された登録MACアドレスとソースMACアドレスとが比較され、それぞれの比較結果（一致／不一致）がOR回路103へ出力される。上述したように、4つの比較結果の少なくとも1つが一致を示しているか、あるいは全部不一致であるか、によってOR回路103は一致／不一致を検出する（ステップS104）。

【0025】

OR回路103によって一致が検出された場合は（ステップS204のYES）、入力したソースMACアドレスは既にエントリテーブル102に登録済みであるから、学習処理は行わない。

【0026】

OR回路103によって不一致が検出された場合は（ステップS204のNO）、現在アクセスされているバンクB1～B4の4つの記憶スペースに空きがあるか否かを各バリッドビットを参照することで判定する（ステップS205）。もし空きスペースがあれば（ステップS205のYES）、そこに学習処理として新規にMACアドレスを登録する（ステップS206）。

【0027】

4つの記憶スペースが全て登録済みである場合（ステップS205のNO）、再ハッシュが実行される（ステップS207）。たとえば、全てのバリッドビットをクリアし、ハッシュ関数101において32ビットのCRC32出力のうち

異なる位置の 8 ビットを選択することで、再ハッシュが実行される。

【 0 0 2 8 】

図 3 は新規アドレス登録動作を説明するためのエントリテーブルの模式図である。ソース MAC アドレスのハッシュ関数値である 8 ビットアドレスによってバンク B 1 ～ B 4 の記憶スペース 3 0 1 がアクセスされているものとする。ここでは、バンク B 2 および B 4 には既にアドレス A a および A b が登録されているが、バンク B 1 および B 3 は空きスペース 3 0 2 および 3 0 3 となっている。

【 0 0 2 9 】

ソース MAC アドレス A c が既に登録されているアドレス A a および A b のいずれとも異なる場合には（不一致：図 2 におけるステップ S 2 0 4 の NO）、このソース MAC アドレス A c は、たとえばバンク B 1 のスペース 3 0 2 に新規アドレスとして登録される。同様にして、ソース MAC アドレス A d が同じハッシュ出力により同じ記憶スペース 3 0 1 にアドレス指定されたとしても、それが既に登録されているアドレス A a、A b、A c のいずれとも異なる場合には、バンク B 3 のスペース 3 0 3 に新規アドレスとして登録される。こうして、同じハッシュ出力値に対して、ここでは 4 個の異なるアドレスを登録することができる。

【 0 0 3 0 】

再ハッシュが発生するのは、さらにソース MAC アドレス A e が同じハッシュ出力により同じ記憶スペース 3 0 1 にアドレス指定され、既に空きスペースが存在しない場合のみである。すなわち、本実施形態では、同じハッシュ関数値に対して、4 個まで確実に登録することができ、再ハッシュの頻度を低下させることができる。

【 0 0 3 1 】

また、本実施形態では、4 個の登録 MAC アドレスを同時に読み出し 4 個の比較器 C 1 ～ C 4 によりそれぞれソース MAC アドレスと比較するために、高速学習が可能となる。

【 0 0 3 2 】

（検索処理）

あるパケットのデスティネーション MAC アドレスを入力し、上述したハッシ

ハッシュ関数 1 0 1 により 8 ビットアドレスを計算する。その 8 ビットアドレスにより指定されたバンク B 1 ～ B 4 の記憶領域を同時にアクセスし、MAC アドレスが有効に登録されていれば、それを読み出す。そして、比較器 C 1 ～ C 4 により、読み出された登録 MAC アドレスとデスティネーション MAC アドレスとが比較され、それぞれの比較結果（一致／不一致）が OR 回路 1 0 3 へ出力される。上述したように、4 つの比較結果の少なくとも 1 つが一致を示しているか、あるいは全部不一致であるか、によって OR 回路 1 0 3 は一致／不一致を検出する。

【 0 0 3 3 】

一致が検出されたならば、プロセッサ 1 0 4 は、当該登録 MAC アドレスのポート番号を読み出し、それを当該パケットの転送先とする。不一致が検出されたならば、プロセッサ 1 0 4 は当該パケットをブロードキャストパケットとして全てのスイッチポートに転送する。

【 0 0 3 4 】

なお、本実施形態では、エントリテーブル 1 0 2 を 4 分割したが、任意の数 N に分割しても良い。N を 4 より大きな数にすれば、同じハッシュ関数値に対して多くの異なるアドレスを登録することができ、再ハッシュの発生確率をさらに下げることができる。なお、バンク分割することで、比較器を同じ数だけ用意する必要があるが、比較器は簡単な構成であるから、システム全体としては大きな負担にはならない。

【 0 0 3 5 】

本発明によるアーキテクチャは、MAC アドレステーブルの管理だけでなく、テーブルサーチおよびデータ登録一般に適用可能であり、またハッシュ関数も任意のものを使用することができる。

【 0 0 3 6 】

【発明の効果】

以上詳細に説明したように、本発明によるテーブル管理方法及び装置は、複数のテーブルが縮退データにより同時にアクセスされ、それぞれ読み出された登録データが入力データと比較されることで登録済みか否かが判定される。複数の登録データが同時にアクセスされて読み出されるために、極めて効率的なサーチを

行うことができる。

【 0 0 3 7 】

さらに、本発明によれば、前記入力データが前記複数個のテーブルに登録されていない場合、前記縮退データにより同時にアクセスされた複数個のテーブルの記憶スペースに空きスペースがあれば、前記入力データを新規データとして登録する。したがって、縮退データにより同時にアクセスされた複数個のテーブルの記憶スペースに複数個の異なる登録データを格納することができる。言い換えれば、1つの縮退データに複数の異なる登録データを対応づけることが可能となり、再ハッシュ発生確率を下げることができる。

【 0 0 3 8 】

また、テーブルをバンク分割することで、比較手段を同じ数だけ用意する必要があるが、比較手段自体は簡単な構成であるから、システム全体としては大きなハードウェア量の増大にはならない。

【図面の簡単な説明】

【図 1】

本発明によるアドレステーブル管理装置の一実施形態を示すブロック図である。

【図 2】

本実施形態におけるMACアドレステーブルの登録／学習動作を説明するためのフローチャートである。

【図 3】

新規アドレス登録動作を説明するためのエントリテーブルの模式図である。

【図 4】

従来のMACアドレステーブル管理方法を示すブロック図である。

【符号の説明】

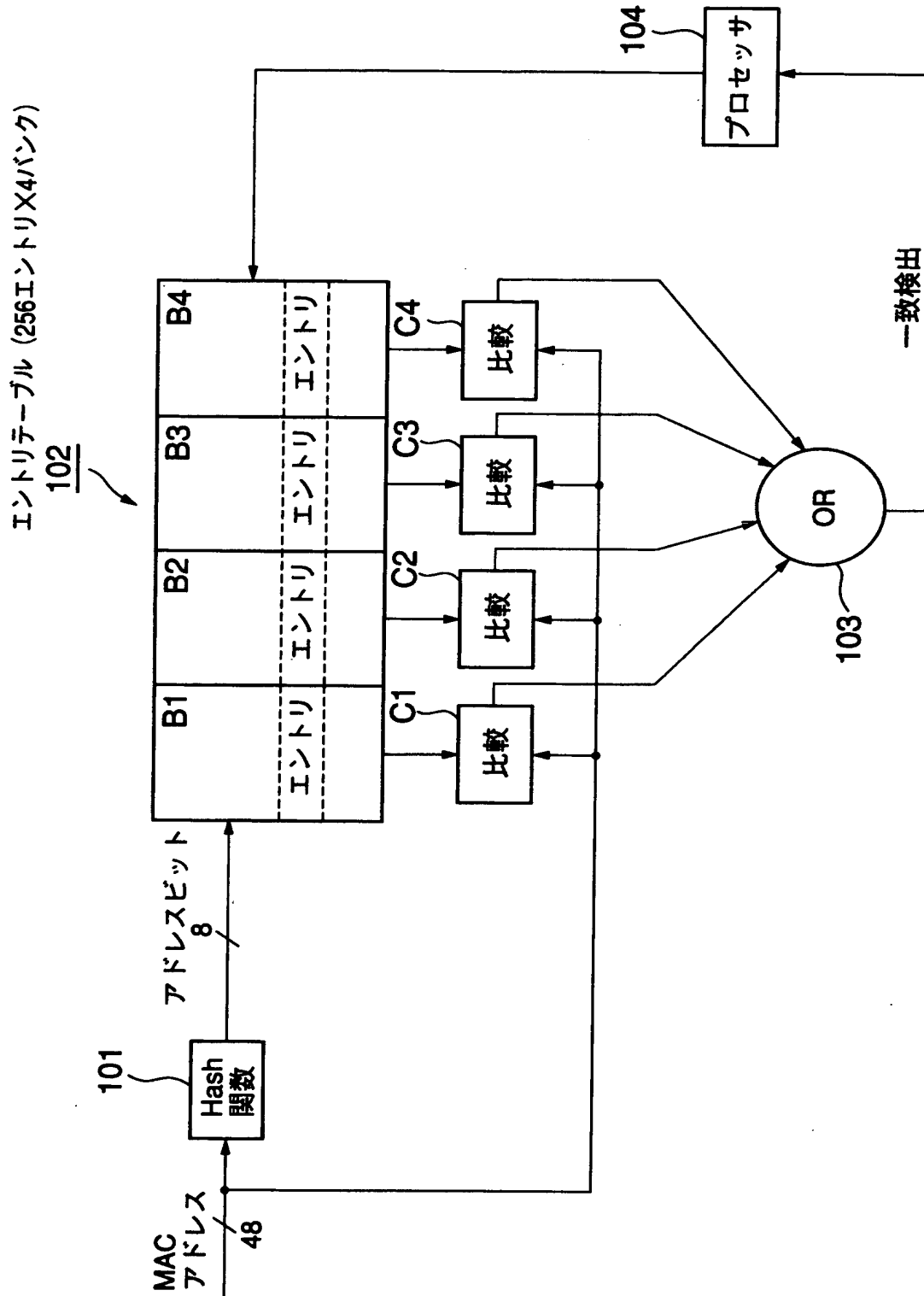
- 1 0 1 ハッシュ関数
- 1 0 2 エントリテーブル
- 1 0 3 OR回路
- 1 0 4 プロセッサ

B 1 ～ B 4 バンク

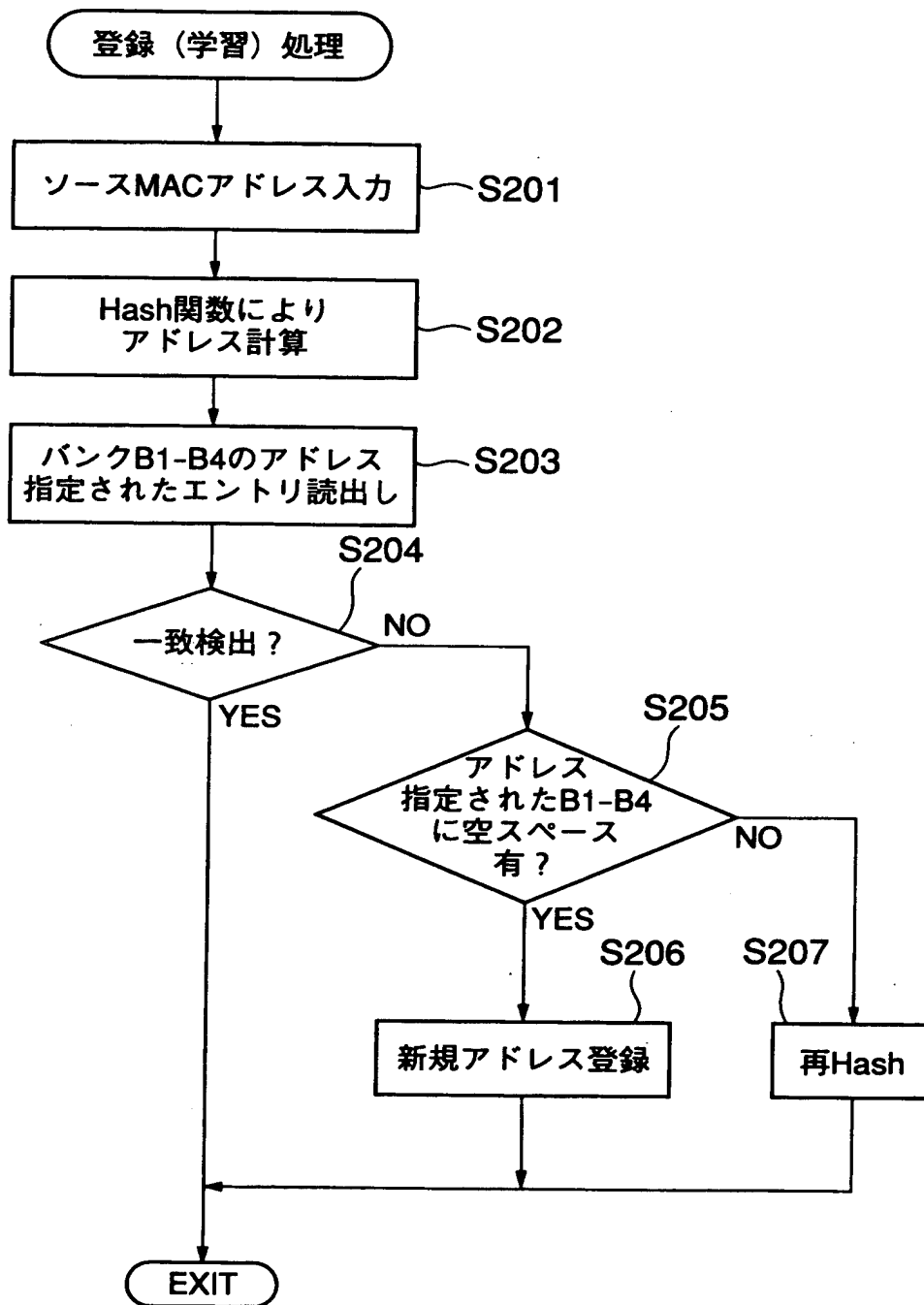
C 1 ～ C 4 比較器

【書類名】 図面

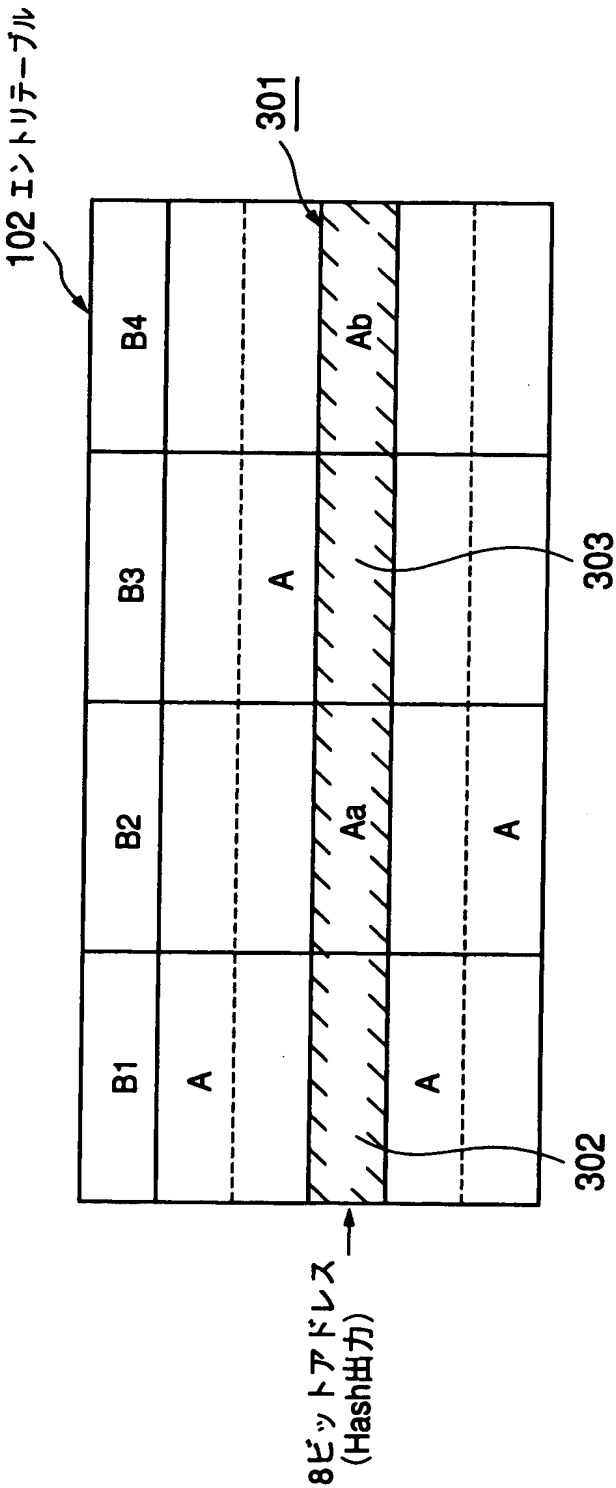
【図 1】



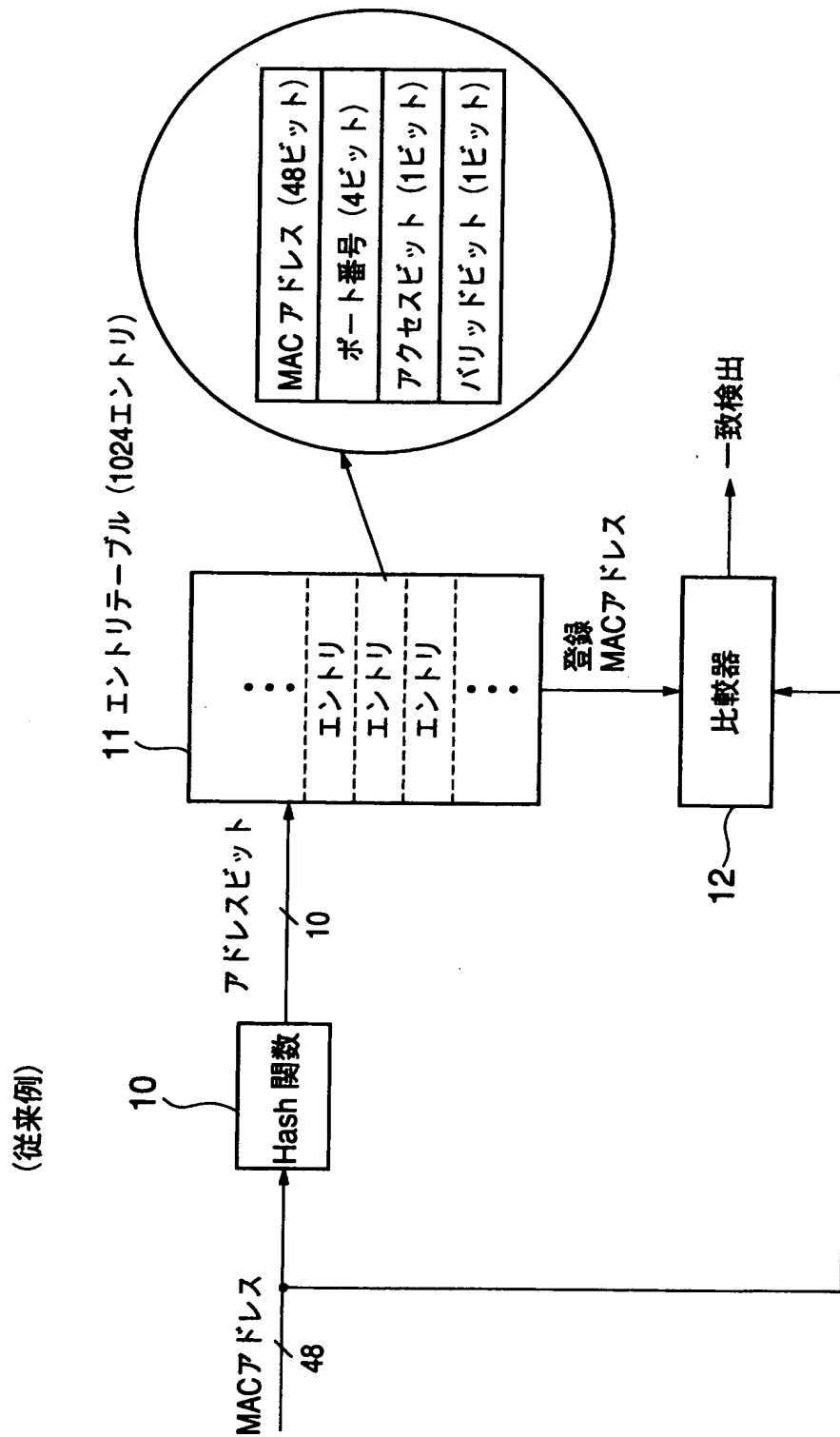
【図 2】



【図 3】



【図 4】



【書類名】 要約書

【要約】

【課題】 効率的なハッシュ検索を可能にし、再ハッシュ発生確率の低減させる
テーブル管理技術を提供する。

【解決手段】 MACアドレステーブルを複数のバンクに分割し、当該複数のバンクがハッシュ出力をアドレスとして同時にアクセスされる。複数のバンクからそれぞれ読み出された登録MACアドレスと入力MACアドレスとを比較し、少なくとも1つの比較結果が一致を示すときに、入力MACアドレスはMACアドレステーブルに登録されていると判定され、それ以外は新規MACアドレスと判定される。同時アクセスされた複数のバンクの記憶スペースに空きがあれば、同一ハッシュ出力に対して複数のMACアドレスを対応づけて登録することができる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [396008347]

1. 変更年月日	2000年10月24日
[変更理由]	住所変更
住 所	東京都品川区西五反田7-22-17 TOCビル
氏 名	アライドテレシス株式会社